

⑬Int.Cl.
H 01 L 21/88
21/28別記号 庁内整理番号
6708-5F
7638-5F

⑬公昭和62年(1987)2月12日

審査請求 未請求 発明の数 3 (全8頁)

⑬発明の名称 コンタクトプラグの形成方法

⑭特願 昭61-181222

⑮出願 昭61(1986)7月30日

優先権主張 ⑯1985年7月31日⑰米国(US)⑪761206

⑱発明者 クレイグ・エス・サンダーゲー アメリカ合衆国、カリフォルニア州、クバーティノノースグレン・スクエア、20325

⑲発明者 バラージ・スマミーナータン アメリカ合衆国、カリフォルニア州、マウンテン・ビュー・ウエスト・ミドルフィールド、555、ナンバー・エス・301

⑳出願人 アドバンスト・マイクロ・デバイシズ・インコーポレーテッド アメリカ合衆国、カリフォルニア州、サニイベイル・ビイ・オウ・ボックス・3453、トンプソン・プレイス、901

㉑代理人 弁理士 深見 久郎 外2名

明細書

1. 発明の名称

コンタクトプラグの形成方法

2. 特許請求の範囲

(1) 素子の表面に実質的にプラナ状の誘電体層が配置され、さらにこの表面に接合領域が配置されている加熱回路素子のためにコンタクト穴プラグを形成する方法であって、

前記接合領域に当接する前記層内に個別の、大きさを決められたコンタクト穴を形成する工程と、

前記穴に半導体材料を充填する工程と、さらに

各前記穴の下にある接合領域の極性に適合するように前記半導体材料をドープする工程とを含む方法。

(2) 穴を形成する前記工程はさらに、ほぼ1.4ミクロン以下の1個の水平寸法を有するよう各穴を形成する工程を含む、特許請求の範囲第1項に記載の方法。

(3) 素子の表面に、実質的にプラナ状の誘電体層が配置され、さらにこの表面に接合領域が配置されている加熱回路素子のためのプラグ形のコンタクト穴を形成する方法であって、

前記接合領域に當接するパターンに従って、前記誘電体層内にコンタクト穴を形成する工程と、

前記表面にわたりコンタクト穴フィラー材料の層を形成し、前記穴を充填する工程と、

前記穴の中に、前記フィラー材料プラグを残しながら前記表面から前記フィラー材料を取除く工程と、さらに

各々が既に形成されている接合領域の極性と適合するために前記穴に残留している前記フィラー材料にドープする工程とを含む方法。

(4) コンタクト穴を形成する前記工程は、さらに前記パターンを規定する前記誘電体層にマスクを形成する工程を含む、特許請求の範囲第3項に記載の方法。

(5) さらにフォトレジスト材料の前記マスクを形成する工程を含む、特許請求の範囲第4項

クロン以下の1箇の寸法を有す ようにコンタクトパターンを形成するように前記マスクを形成する工程を含む、特許請求の範囲第4項に記載の方法。

(7) さらに前記穴を形成するために前記電子の表面接合領域まで、前記誘導体層のマスクされていない領域をエッティングする工程を含む、特許請求の範囲第6項に記載の方法。

(8) さらに実質的に垂直な開口を有するよう前記穴を形成する工程を含む、特許請求の範囲第7項に記載の方法。

(9) フィラー材料の前記層を形成する前に、前記マスクを取除く工程を含む、特許請求の範囲第8項に記載の方法。

(10) フィラー材料の前記層を形成する前記工程は、さらにポリシリコン層を生成する工程を含む、特許請求の範囲第3項に記載の方法。

(11) 前記生成の工程は、さらに前記コン

形する工程と、

(12) 前記フィラー材料を取除く前記工程は、さらにはば等しい程度で前記フィラー材料および前記誘導体層をエッティングする方法でエッティングする工程を含む、特許請求の範囲第3項に記載の方法。

(13) 前記導電材料にドープする前記工程は、さらに

第1の導電型を有する接合領域に位置する導電材料プラグを有する穴を留う第1のマスクを形成する工程と、

前記のマスクされていないプラグが第2の導電型を有するように、第2の導電型を有する接合領域上に位置するマスクされていないプラグにイオンをドープする工程と、

前記第1のマスクを取除く工程と、

第2の導電型を有する接合領域上に位置する導電材料プラグを有する穴を留う第2のマスクを

形成する工程と、

前記のマスクされていないプラグが第1の導電型を有するように、第1の導電型を有する接合領域上に位置するマスクされていないプラグにイオンをドープする工程と、

前記第2のマスクを取除く工程とを含む、特許請求の範囲第3項に記載の方法。

(14) 前記導電材料にドープする前記工程は、さらに

前記表面上にシリコン変化物層を形成する工程と、

第1の導電型を有する接合領域上に位置する前記プラグ上に開口を形成する工程と、

前記プラグが前記第1の導電型を有するよう前記開口により露出された前記プラグにイオンをドープする工程と、

前記プラグの表面上に硬化物層を形成する工程と、

前記シリコン変化物層を取除く工程と、

前記第1の導電型の前記プラグをマスクする

ために前記硬化物層を用いて、第2の導電型を有するように、前記シリコン変化物層により初めて置かれたプラグにドープする工程と、

前記硬化物層を取除く工程とを含む、特許請求の範囲第3項に記載の方法。

(15) 連結回路内で接合領域上に横たわる誘導体層におけるプラグ形のコンタクト部を形成する方法であって、

前記接合領域に合致するパターンで、前記誘導体層内にコンタクト部を形成する工程と、

前記コンタクト部を充填するフィラー材料の層を前記誘導体層に形成する工程と、

プラグが前記層内に埋めるように前記フィラー材料層を取除く工程と、

第1の導電型を有する接合領域上に横たわる、室内の前記プラグ上に第1のマスキング層を形成する工程と、

第2の導電型を有し、第2の導電型を有する接合領域上に横たわる、室内のプラグに第2の導電型をドープする工程と、

上に第2のマスキング層を形成する工程と、

前記第1の導電型を有する結合領域上に横たわる、室内的プラグに前記第1の導電型をドープする工程と、

前記第2のマスキング層を取除く工程とを含み、

それによって各々が、下層の結合領域と接合する導電型を有するプラグを有する方法。

(16) コンタクト窓を形成する前記工程が、さらに1層の水平寸法がほぼ1.4ミクロン以下になるように前記窓をエッティングする工程を含む、特許請求の範囲第15項に記載の方法。

(17) 前記フィラー材料層を取除く前記工程が、さらに前記フィラー材料と前記誘電体層とをほぼ同じ速度でエッティングするエッティング過程を含み、そのため前記フィラー材料のすべてが前記誘電体層の表面から取除かれ、前記穴フィラー材料の周辺表面が、ほぼ0.3ミクロンだけ前記

S) の方法を用いて製作された素子のための導電性または半導電性のコンタクトプラグを形成する方法に関する。

(2) 先行技術の説明

半導体分野における超大規模集成（VLSI）回路の出現は多くの困難を抱えていて、VLSI回路ダイスにしばしば存在する幾万のおよび幾十萬もの能動構成要素を効率的に相互接続させる必要性を含む。技術の現在の状態における標準相互接続機構は基本的に、たとえば貼合されるべき各能動素子の結合領域に通じる孔（別名、コンタクト窓）を有する絶縁体層に生成されるアルミニウム等の導電性材料のパターン化された跡膜である。

VLSIにおいて、ウエハの表面の構成要素領域に対する水平寸法は1ミクロン範囲に近づきつつある。しかし、コンタクト穴の垂直方向の高さあるいは深さは、寄生容量や金属相互接続部被覆のような拘束があるので、この尺度決めは不可能かもしれない。このように比較的深いコンタクト穴は、相互接続として用いられるスパックされ

た範囲第15項に記載の方法。

(18) 前記フィラー材料を取除く前記工程は、さらに、前記アレーベルがほぼ0.3ミクロンの深さまで前記誘電体層の表面下に與まるよう前に記誘電体層よりも速い速度で前記フィラー材料をエッティングするエッティング過程を達成する工程を含む、特許請求の範囲第15項に記載の方法。

(19) 前記フィラー材料を取除く前記工程は、さらに、前記フィラー材料が前記誘電体層から取除かれてしまったとき、横山が発生するよう前点検出を用いるエッティング過程を達成する工程を含む、特許請求の範囲第15項に記載の方法。

3. 見明の詳細な説明

見明の背景

(1) 見明の分野

この見明は一般的に集積回路のコンタクト構造に関し、特に完全にブランナ化された集積回路素子、特にコンプリメンタリ金属酸化物半導体（CMOS）

た金属膜には施せない。般部被覆が重くないと結論的に歩留りと信頼性の喪失を招くことになる。

この因難を取除くのに用いられる1つの方法はコンタクト穴に周囲倒壁を形成するエッティング方法を使用することである。この方法はコンタクト窓へのまでのい金属部被覆の問題をしばしば解決することができる。しかしながら、この方法は縮小の達成を助長しない、なぜならばコンタクト窓の上面での寸法は比較的大きいままであるからである。

現在のCMOS集積回路は、（結合とフィールドの間の電気的遮断を生じ、回路を動作不能にする） τ 、または τ' 領域および周囲のフィールド分離領域の双方の上でコンタクト穴が開くのを防ぐために τ 、および τ' 遮蔽領域のコンタクトを遮蔽領域の充分内部に配置させる。遮蔽領域の充分内部で穴を並列させるための専用の必要条件もまたスケール決めの目標に反する。

NMOSおよびCMOS VLSIの双方においても、非常に浅い τ 、および τ' 結合が一般に用

うな金属相互接続層により直接にコンタクトされると、結合を通じて金属の「スパイク化」が起こり得る。これもまた歩留りと信頼性の喪失を生じる。

発明 要約

この発明の主たる目的は、集積回路相互接続として用いられ コンタクト穴のための低抵抗導電プラグを提供することである。

この発明の別の目的は、集積回路素子 ためのコンタクト穴プラグを形成する方法を提供することである。

この発明のさらに別の目的は、周次の層の生成およびマスキングに対する必要条件を緩和するためにウエハの段部高さを最小にする集積回路コンタクト窓のための導電低抵抗フィラーを形成する方法を提供することである。

この発明のさらに別の目的は、「スパイク化」の可能性を大いに削減するために、集積回路の金

広い範囲では、この発明は、素子の表面に実質的にブラン状の試験範囲を有し、その素子の表面上には接合領域がある集積回路素子のため コンタクト穴プラグを形成する方法であって、前記接合領域と整合するパターンに従って、前記試験範囲にコンタクト穴を形成し、前記穴を充填しながら前記表面にわたって材料 層を形成し、前記穴に前記材料を残しながら、前記表面からの前記材料を吸引し、さらに、各々が既に形成されている接合領域の極性に整合するように前記穴に残存する前記材料にドープすることによって、コンタクト穴プラグを形成する方法を提供する。

開示された方法は、コンタクト孔の形成のためにブラン化技術の利用を可能にするという利点を提供し、したがって周次の層の生成およびマスキングのために柔らかな表面を提供する。

この発明の別の利点は、より形成しやすく、ウエハの不動産面積をさほど占有しなくてすむ量直

開口を有するコンタクト孔の使用を可能にすることである。

この発明の他の目的、特徴および利点は、各図を通じて同じ参照符号が同じ特徴物を示す、下記の詳細な説明および添付図面を参考することで明らかになるであろう。

詳細な説明

この発明の特定の実施例を詳細に参照する。これは、この発明を実施するために発明者により現在企図されている最良のモードを示している。代替の実施例も添付図面に当該に説明され述べられている。この説明において参照される図面は、特に注目される場合を除き、尺度決めするように描かれたのではないと理解されるべきである。さらに、この図面はこの発明に従って製作された集積回路の一部分のみを示すことを意図している。

第1図はたとえば、一般的に結晶シリコンまたはエピタキシャルで形成されたシリコン層から形成されたリード型導電性のウエハのサブストレート10を示し、そこにかつその上に能動集積回路構成

要素が製作されている。図示の目的で、リード型導電性を有するように多くドープされた拡散領域12は、サブストレート10の表面14の真下に位置する。この拡散領域には、フィールド強化物領域16とリードサブストレート10により、表面14の隣接するいかなるドープ領域からも分離されている。図示のポリシリコンゲート18は、フィールド強化物16に重ねて示されてある。

集積回路構成要素の製作方法において用いられる共通の技術の詳細を記述する刊行物は多くある。例として、フェアチャイルド・コーポレーションが1979年に版権を得たレストン・パブリッシング・カンパニー、インコーポレーテッドの「半導体および集積回路製作技術」(Semiconductor & Integrated Circuit Fabrication Techniques)を参照されたい。これらの技術はこの発明の実施に採用されている。さらに、個々の工程は商業的に入手可能な集積回路製作機械を使用して達成される。この発明の理解に特に必要なので、近似の技術データを現在の技術に

な困難を必戻とするかもしれない。

能動構成要素の製作が終ったとき、板端にプラナ化された誘電体層20がダイスの表面に形成される。アダムス・アンド・カビオ著、「J. Electrochem. Soc.」 Vol. 128 (1981)、432頁から437頁に述べられるような技術が採用されてもよい。基本的にニ酸化シリコンの膜(厚さ、およそ1.0ミクロン)は化学的気相成長(CVD)によって生成される。フォトレジスト膜(同様におよそ1.0ミクロン)はその表面に引き延ばされる。フォトレジスト膜の平坦な表面は、フォトレジストと固形物がほぼ同じ速度でエッティングするような条件の下で、1.3ミクロンの材料をプラズマ内でエッティングすることによりニ酸化シリコン層20に転送される。いかなる残留のレジストも取除いた後、別の0.5ミクロンのニ酸化シリコンが生成される。

さらにコンタクト穴パターンが、既來のフォト

（大24）は、すべての大24が1箇の水平寸法において1.4ミクロンあるいはそれ以下であるよう設計されている。別の水平寸法においては制限がなく、垂直寸法は最も実質的に考慮すると、0.5から2.5ミクロンの間を変動し得る。大24は、既來の異方性プラズマ酸化物エッティング技術を用いるような方法で、誘電体層20内にエッチングされる。これは実質的に垂直(たとえば、ウエハの表面14に垂直)な開口26を作成するコンタクト穴24を形成するであろう。それからフォトレジストマスクが取除かれる。

次に、第2図に完全に示されているように、半導体材料層30が形成される。一般的にCVDは、厚さがほぼ1.5ミクロンのポリシリコン層30を得るために用いられる。少なくとも1つの空洞範囲内のコンタクト穴24の寸法が小さく、化学的気相成長が等角性を有するために、ポリシリコンの表面32は実質的にプラナ化されるであろう。

次に、ポリシリコン層30は、第3図で完全に示されているように、好ましくは熱点検出を有するエッティング方法を用い、穴24の各々にポリシリコン穴プラグ34を残しながら、誘電体20の表面22が露出するまで、エッティングされる。コンタクト穴24以外の領域内のポリシリコンがすべて、誘電体層20の表面22から取除かれるまで、このエッティング工程が繰り返される。

ポリシリコン層30のエッティングパックのために用いられる方法は、好ましくはポリシリコン層30に下層の誘電体層20とほぼ同じ速度でエッティングさせるガスと方法条件を用いてプラズマ内で達成される。ポリシリコン層30と誘電体層20のエッティング速度の、わずかな相違が、誘電体層20の表面22の位置に対する、ポリプラグ34の周辺表面36の垂直位置に変動を引き起こすであろう。典型的エッティング方法は、ポリプラグ34の周辺表面37を0から0.3ミクロンの間まで誘電体層20の表面22の上もしくは下のいずれかに位置されるであろう。したがって、過剰

金属相互接続層40により覆われるべきコンタクト窓24に入り込む、もしくはコンタクト窓24から出る最大段階高さは0.3ミクロンである。

第4a図および第4b図に示されているように、次にポリシリコンプラグ34および34'は、そこには各々が既に形成されている接合領域、12および12'のドープ極性に適合するように $\pm 90^\circ$ または $\pm 180^\circ$ のいずれかにドープされる。第4a図を参照すると、マスク38(典型的にはフォトレジスト)はバターン化され、このためポリシリコン穴プラグ34'を既に形成している $\pm 90^\circ$ 接合窓24'を留う。サブストレート10の $\pm 90^\circ$ 接合領域12に適応する穴24内のプラグ34は、從来のイオン注入によるのと同様にドープされる。第4a図の矢印は示す注入量を表わし、これは、ヒ素またはリンイオンを用いる50keVのエネルギーにおいてはほぼ $5 \times 10^{14} \text{ cm}^{-2}$ である。マスク38はそれから取除かれる。

別のマスク38'(再び、典型的にはフォトレジスト)は、第4b図で示されているように、現

に重複する穴 24" 内のマスクされていない穴プラグ 34" は、再び、n+ イオン注入技術によるのと同様にドープされる。第 4b 図の矢印はホウ素（または BF₃）イオン注入層を表わし、これは穴プラグ 34 の n+ ドーピングのために用いられる層とほぼ同じである。フォトレジストマスク 38" はそれから取除かれる。

ドーパントが、アルゴン雰囲気下の 900°C では 1 時間の熱処理により、プラグ 34 および 34" を通って拡散され得る。

プラグ 34 および 34" をドープするための代替の手順は、第 5a 図および第 5b 図に示される。最初に、シリコン酸化物層 42 が、n+ 接合領域 12" と重複するプラグ 34" を覆うように形成される。n+ 注入後（第 4a 図で説明されたように）、n+ ドーププラグ 34 は、従来の熱成長方法によるのと同様に、第 5b 図で示されるように酸化物層 44 を形成するために、その表面で酸化

取除かれる。酸化物層 44 は、側の n+ ドーパント注入を阻止する十分な厚さまで、n+ プラグ 34 上に形成される。n+ のおよび n+ ドーパントは再び、たとえばアルゴン内では 1 時間ほど 900°C の熱処理により、プラグを通して拡散される。

n+ プラグ 34" のドーピングについて（第 4b 図で説明されたように）、酸化物層 44 は湿式化学エッチまたはプラズマエッチ方法のような一般に知られた技術により、取除かれる。

ポリシリコン穴プラグ 34 および 34" の処理が完成した状態で、第 6 図の段部完成で示されているような金属相互接続層 40 の生成で始まり、ダイスが従来通り処理され得る。

この発明は、CMOS 方法で示されてきた。簡単な修正により CMOS 方法が NMOS およびバイポーラ集積回路製作方法に適用可能になることは、当業者にとっては明らかであろう。たとえば、

NMOS の応用には、n+ 注入工程の前にフォトマスキング工程があまりでなく、しかも n+ 注入も必要ではない。

この発明の、好みの実施例に関する上記の説明は、例示と説明の目的で提示されたものである。これは、余すところないものではなく、またこの発明を開示された正確な形式に限定するものでもない。明らかに、当業者にとっては、多くの修正や変更が明らかとなるであろう。同様に、前記の方法段階は、同様の結果を達成するために異なった順序で実行されてもよい。実施例は、この発明の原則とその実際の応用を最も良く説明するために選ばれ述べられたのであって、それによって当業者が、企図された特定の用途に適用する様々な修正と様々な実施例において、この発明を最も理解することを可能にする。発明の範囲は添付の請求の範囲とその均等物によって規定される。

4. 図面の簡単な説明

第 1 図ないし第 6 図は、この発明の実施例による方法工程の理想化された順序を表わす断面

図であり、

第 1 図は、ブランched 諸電極層を貫通するコンタクト穴を有するサブストレートの段部の完成を示し、

第 2 図は、ポリシリコン層が諸電極層に重複し、しかも第 1 図のコンタクト穴を充填する段部の完成を示し、

第 3 図は、第 2 図のポリシリコン層が既に取除かれ、コンタクト穴にポリシリコンプラグを残している段部の完成を示し、

第 4a 図と第 4b 図は、第 3 図で示されたコンタクトプラグのドーピングを示し、

第 5a 図と第 5b 図は、第 3 図で示されたコンタクトプラグのドーピングの代替の方法を示し、

第 6 図は金属層を所定位置に施せた、この発明の段部の完成を示す。

図において、10 はウエハのサブストレート、12, 12" は拡散領域、14 はウエハの表面、16 はフィールド酸化物領域、18 はポリシリコングート、20 は二酸化シリコン層、22 は保護

コンの表面、34、34'はポリブラグ、36は
周辺表面、37はポリアセチルの周辺表面、38、
38'はマスク、40は透析金属相反応板面、42
はシリコン質化物面、44は酸化物面である。

特許出願人 アドバンスト・マイクロ・ディバ
イシズ・インコーポレーテッド
代理人 井原士 見久郎
(ほか2名)

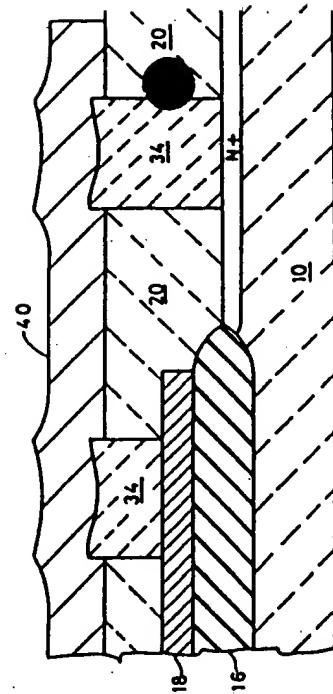


FIG. 6

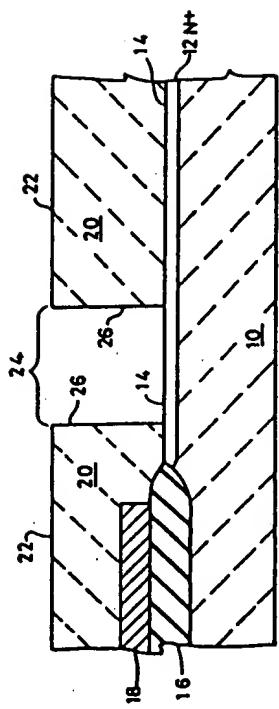


FIG. 1

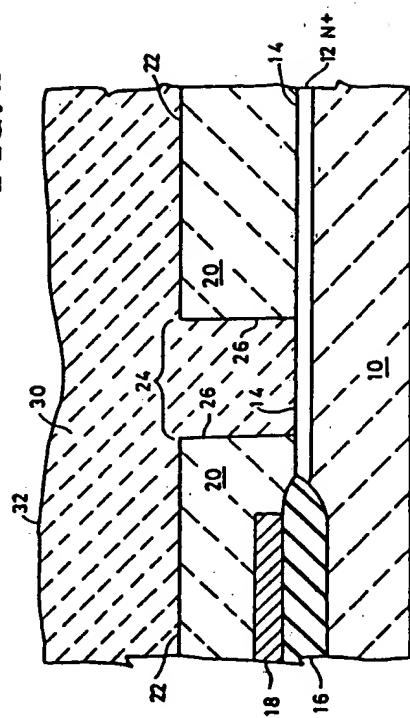


FIG. 2

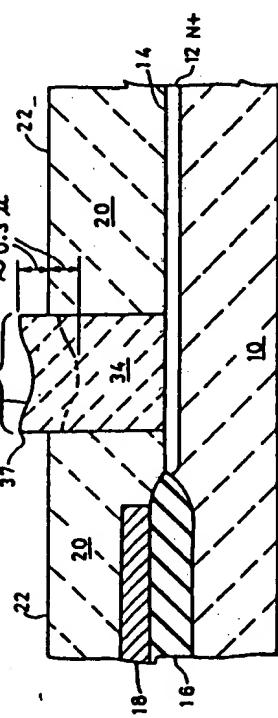


FIG. 3

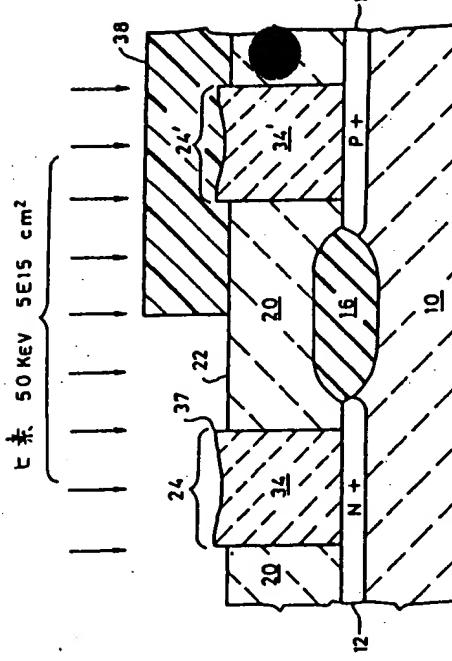


FIG. 4 A

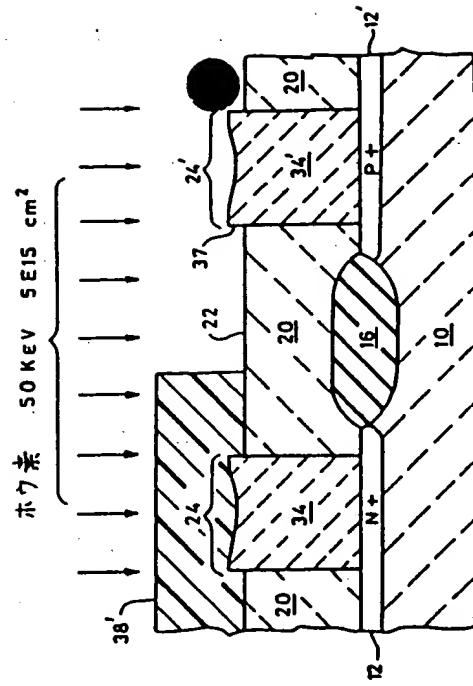


FIG. 4 B

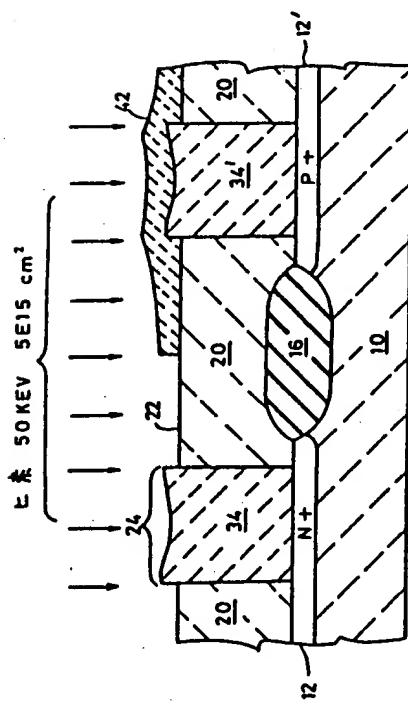


FIG. 5 A

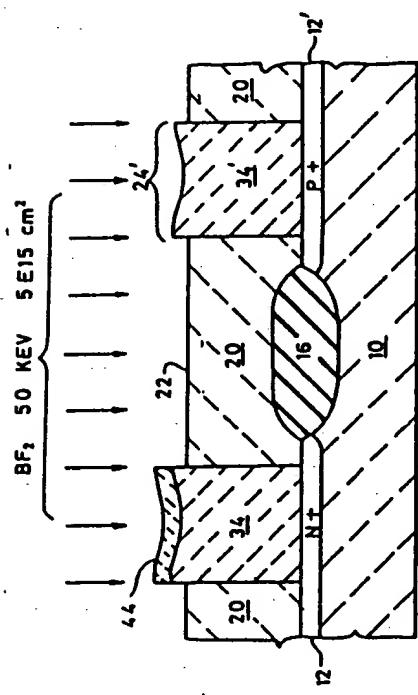


FIG. 5 B



The Delphion Integrated View

[Log Out](#) [Order Form](#) [Work Files](#) [View Cart](#)

[ABOUT DELPHION](#) [PRODUCTS](#) [NEWS & EVENTS](#) [SEARCHING](#) [IPS](#)

[Browse Codes](#) [IP Listings](#) [Prior Art](#) [Derwent](#) [Advanced](#) [Boolean](#)

The Delphion
Integrated
View

Other Views:
[INPADOC](#)

Title: **JP6232630A2: TEMPERATURE COMPENSATION TYPE CRYSTAL OSCILLATOR**

► [Want to see a more descriptive title highlighting what's new about this invention?](#)

Country: **JP Japan**

Kind: **A**

Inventor(s): **AKANE KATSUNORI
NAITO ATSUSHI
SAKABA YASUO**

Applicant/Assignee: **NIPPON DEMPA KOGYO CO LTD**

[Inquire Regarding Licensing](#)
[News, Profiles, Stocks and More about this company](#)



Issued/Filed Dates: **Aug. 19, 1994 / Jan. 30, 1993**

Application **JP1993000034444**

IPC Class: **H03B 5/32;**

► [Interested in classification by use rather than just by description?](#)

Priority Number(s): **Jan. 30, 1993 JP1993000034444**



Abstract: **Purpose:** To improve the job performance for a write job of temperature compensation data, to secure electric connection and also to correct the temperature compensation data while the oscillator is mounted on an equipment.

Constitution: The temperature compensation type crystal oscillator compensating temperature with temperature compensation data stored in a semiconductor memory is featured in that it is provided with a case containing an insulation board 13 with an oscillation circuit mounted thereon and a connection board 16 extended to the outside of the case from the insulation board via a break line 15, connecting to external terminals, receiving write data to be written into the semiconductor memory and removed and broken after data are written.

COPYRIGHT: (C)1994,JPO&Japio

► [See a clear and precise summary of the whole patent, in understandable terms.](#)

Family: [Show known family members](#)

Other Abstract Info: **DERABS G94-306534 DERG94-306534 JAPABS 180603E000104**

BEST AVAILABLE COPY

JAP180603E000104

Foreign References: No patents reference this one



Nominate this
for the Gallery...

[Subscribe](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [FAQ](#) | [Site Map](#) | [Help](#) | [Contact Us](#)

© 1997 - 2001 Delphion Inc.

BEST AVAILABLE COPY